

В.Д. ДМИТРИЕНКО, д-р техн. наук, НТУ "ХПИ" (г. Харьков),

С.Ю. ЛЕОНОВ, канд. техн. наук,

Т.В. ГЛАДКИХ, канд. техн. наук

ВЕРИФИКАЦИЯ РИСКОВ СБОЯ В ЦИФРОВЫХ УСТРОЙСТВАХ НА ОСНОВЕ *K*-ЗНАЧНОГО МОДЕЛИРОВАНИЯ

У статті показано застосування нової системи верифікації цифрових пристроїв на основі *K*-значного моделювання. За допомогою цієї системи є можливість виконувати проектування сучасних складних та швидкодіючих пристроїв з урахуванням кількісних та якісних характеристик ризиків збоїв. Це дає нові перспективи по проектуванню з застосуванням *K*-значного моделювання.

In article it is shown applications of new system of verification digital devices on the basis of *K*-Value modelling. With its help it is possible to carry out designing of modern complex and high-speed devices in view of quantitative and qualitative characteristics of failures risks that gives new prospects on designing with use of *K*-Value modelling.

Введение. В настоящее время компьютерное моделирование поведения цифровых устройств является неотъемлемой частью систем автоматизации их проектирования и верификации. С помощью моделирования в системах автоматизированного проектирования электронных устройств решаются такие задачи как определение сигналов цепей установки цифровых устройств и их последующего логического функционирования, оптимизации параметров цепей синхронизации и временных характеристик переключения, анализа состязаний сигналов, определения времени распространения сигналов и их задержек, построения проверяющих тестов и проверки их полноты [1 – 3]. При этом сложность современных электронных устройств, высокая частота их работы требуют соответствующих новых методов анализа правильности их функционирования с использованием количественных и качественных характеристик возможности появления в них сбоев.

Постановка проблемы и анализ последних достижений и публикаций.

Сложность современных цифровых однокристальных систем (System On Chip – SOC) и необходимость повышения достоверности их моделирования привели к необходимости использования многозначных алфавитов вместо традиционного двоичного. Наименее трудоемким является моделирование с помощью трехзначного алфавита Эйхельбергера [2], использующего три символа ("единица", "ноль" и "неопределенность" (X)). Этот алфавит позволяет при моделировании учитывать два устойчивых состояния, а все остальные он представляет как неопределенность. Некоторым расширением трехзначного моделирования является пятизначное, которое дополнительно использует символы, дающие возможность различать гладкие переходы от состязаний сигналов.

Алфавит Фантози [3] содержит девять символов и позволяет при моделировании уже дифференцировать статические и динамические риски

сбоев, поскольку к трем символам алфавита Эйхельбергера добавляются такие состояния, как гладкий переход из "0" в "1" (E), гладкий переход из "1" в "0" (H), статический риск сбоя в "0" (P), статический риск сбоя в "1" (V), динамический риск сбоя из "0" в "1" (F), динамический риск сбоя из "1" в "0" (L). Введение еще четырех символов: O (переход из неопределенности в "0"), I (переход из неопределенности в "1"), A (переход из "0" в неопределенность) и B (переход из "1" в неопределенность), позволило различать фазы неопределенности и устойчивости [4]. Применение логических многозначных операторов дает возможность дифференцировать риски сбоев, гонок и состязаний сигналов, что весьма существенно для комбинационных устройств, где необходимо находить критические места (структурные компоненты) в целях их последующей модификации и устранения состязаний [5].

Вместе с тем, в известных системах затруднено моделирование нового класса процессов и физических неисправностей, которые вызваны использованием высоких частот функционирования элементов и связаны с существенным возрастанием роли временных параметров распространения сигналов по проводникам цифровых устройств. Кроме того, в подобных системах нет возможности анализировать влияние количественных параметров нарастания и спада логических сигналов, которые определяются мощностью переключения.

Целью статьи является описание возможностей новой системы моделирования на основе K -значного дифференциального исчисления [6, 7], предназначенной для исследования сложных быстродействующих устройств, построенных с использованием современных технологий.

Реализация поставленной задачи. В настоящее время разработка новых и перспективных устройств выполняется на основе использования КМОП-технологии. Однако с внедрением в процесс производства КМОП-технологии возник новый класс физических неисправностей, которые проявляются в изменении времени распространения сигналов [8]. Правильное функционирование цифрового устройства в этом случае возможно только тогда, когда времена распространения сигналов вдоль проводников логической схемы лежат в определенных пределах. Когда же время распространения сигнала выходит за эти пределы, то говорят, что имеет место неисправность типа изменение задержки сигнала. Моделирование таких устройств может быть выполнено в системе моделирования на основе K -значного представления сигналов и описания функционирования базовых элементов вычислительной техники на основе K -значных дифференциальных уравнений.

Предлагаемая система моделирования позволяет при необходимости представлять проводники цифровых устройств как длинные линии, соединяющие передатчики и приемники сигналов, с помощью K -значных дифференциальных или функциональных моделей [9]. Система

моделирования позволяет также исследовать функционирование вычислительных устройств с учетом мощности переключательных процессов, что дает возможность определять статическую помехоустойчивость проектируемых устройств. Вместе с тем, предлагаемая система моделирования позволяет моделировать и все процессы в цифровых устройствах, перечисленные ранее, и получаемые при использовании известного тринадцатизначного алфавита. В качестве примера рассмотрим моделирование работы устройства, приведенного на рис. 1.

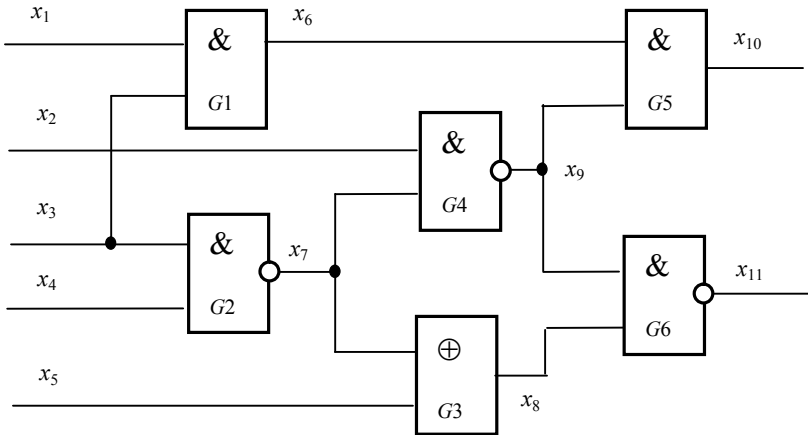


Рис. 1. Устройство с наличием рисков сбоя

Основным составным элементом такого устройства является двухходовый логический элемент "И", таблица состояний которого в 13-значном алфавите имеет вид:

Таблица

&	0	1	X	E	H	P	V	F	L	O	I	A	B
0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	1	X	E	H	P	V	F	L	O	I	A	B
X	0	X	X	A	O	P	X	A	O	O	X	A	X
E	0	E	A	E	P	P	F	F	P	P	F	A	A
H	0	H	O	P	H	P	P	P	L	O	O	P	L
P	0	P	P	P	P	P	P	P	P	P	P	P	P
V	0	V	X	F	P	P	V	F	L	O	I	A	B
F	0	F	A	F	P	P	F	F	P	P	F	A	A
L	0	L	O	P	L	P	L	P	L	O	O	P	L
O	0	O	O	P	O	P	O	P	O	O	O	P	O
I	0	I	X	F	O	P	I	F	O	O	I	A	X
A	0	A	A	A	P	P	A	A	P	P	A	A	A
B	0	B	X	A	L	P	B	A	L	O	X	A	B

Для начала можно рассмотреть ситуацию, когда на входах логического элемента "И" присутствуют сигналы E (гладкий переход из "0" в "1") и O (переход из неопределенности в "0"). Это соответствует выходному сигналу P , который находится на пересечении пятой строки и одиннадцатой колонки таблицы. Такой выходной сигнал является статическим риском сбоя в "0" (P). На рис. 2 приведены результаты моделирования логического элемента "И" при указанных входных сигналах (сигналы A и B соответственно) в системе на основе K -значного дифференциального исчисления при $K = 7$. В этом случае в системе моделирования логический "0" совпадает с нулем, а логическая "1" соответствует значению "6" – соответственно минимальное и максимальное значения при семизначном представлении сигналов. На выходе элемента наблюдается сигнал C , который действительно соответствует статическому риску сбоя в "0", при этом его амплитуда равна "3" (половине от максимального значения при семизначном представлении логических сигналов).

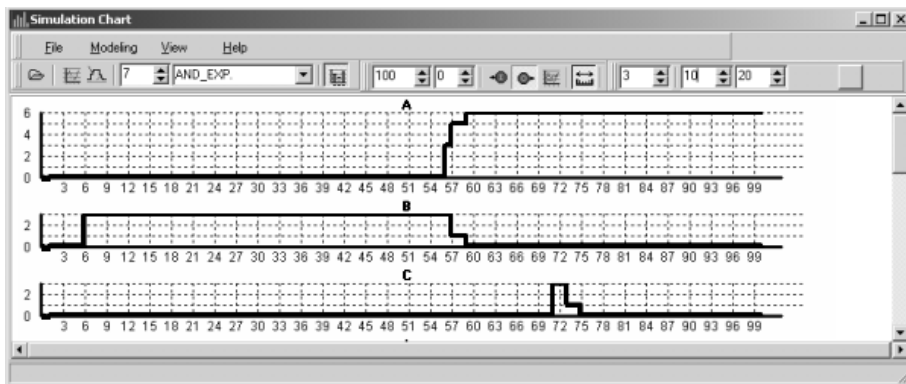


Рис. 2. Статический риск сбоя в "0"

По данным табл. динамический риск сбоя из "0" в "1" (F) на выходе логического элемента "И" имеет место, когда на его входах присутствуют сигналы V (статический риск сбоя в "1") и E (гладкий переход из "0" в "1"). Это соответствует пересечению восьмой строки и пятой колонки таблицы. На рис. 3 приведены результаты моделирования этого случая, где сигналы A и B соответствуют указанным входным сигналам V и E , а сигнал C демонстрирует наличие динамического риска сбоя при переходе из "0" в "1".

Для примера можно рассмотреть работу более сложного устройства (рис. 1), в котором присутствуют неисправности типа "задержка распространения сигнала". Вид этого устройства в системе автоматизированного проектирования на основе K -значного дифференциального исчисления представлен на рис. 4.

На входы x_1 и x_3 этого устройства подается перепад логического сигнала из "1" в "0", на входах x_2 и x_4 – уровень постоянной "1", а на входе x_5 – уровень логического нуля. При этом на выходе x_{11} наблюдается "провал" выходного логического сигнала относительно уровня логической "1". Это соответствует ситуации статического риска сбоя в "1" (рис. 5). При этом любой элемент схемы может находиться в любом из тринадцати состояний.

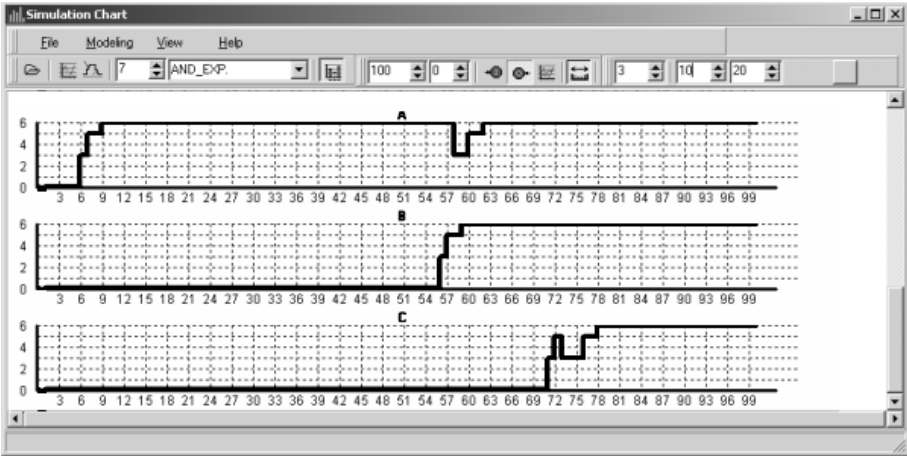


Рис. 3. Динамический риск сбоя из "0" в "1"

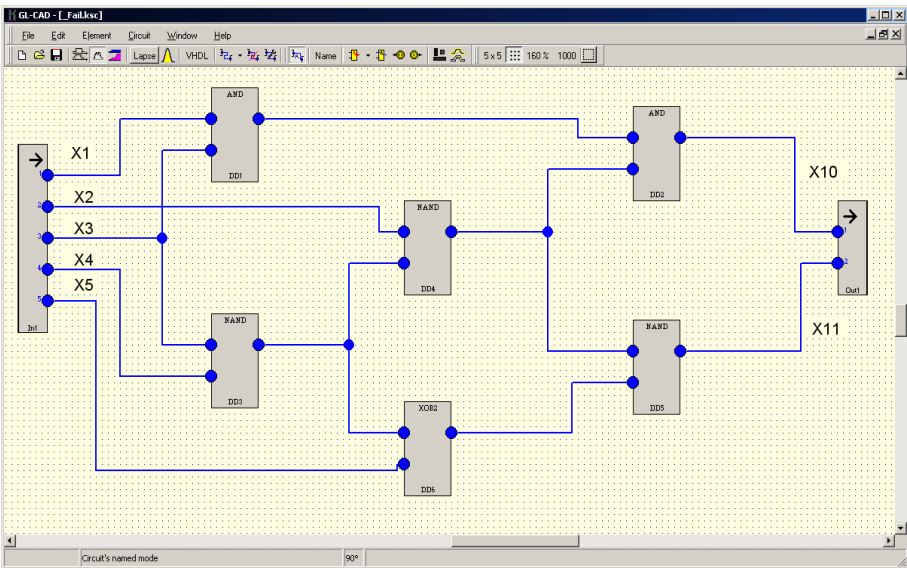


Рис. 4. Структура устройства в системе К-значного моделирования

Система K -значного моделирования позволяет также анализировать устройства с использованием мощностного анализа сигналов переключения. На рис. 6 приведены временные диаграммы функционирования устройства (рис. 1) с учетом мощности переключения входных сигналов.

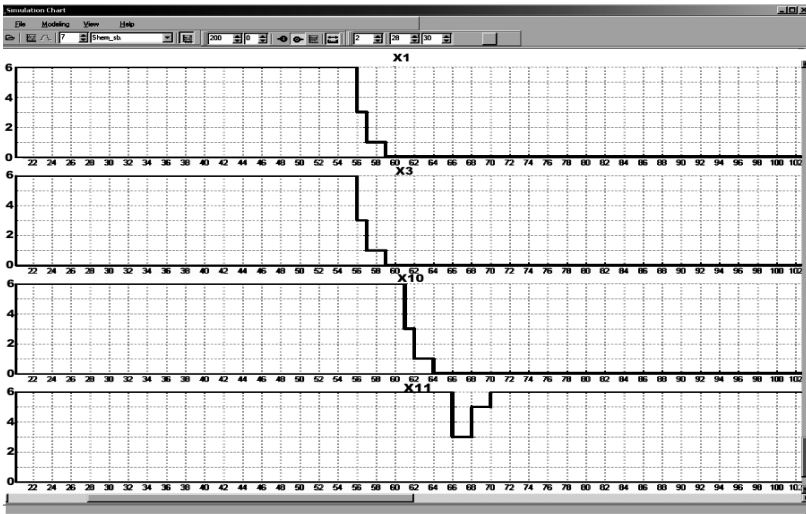


Рис. 5. Статический риск сбоя

На рис. 6 приведены временные диаграммы функционирования этого устройства в базовом режиме (без анализа мощности переключения логических сигналов) в том случае, когда на два его входа x_1 и x_3 поступают сигналы, которые кодируются как 0 (см. таблицу), а на входы x_2, x_4 и x_5 поданы логические "1", "1" и "0" соответственно.

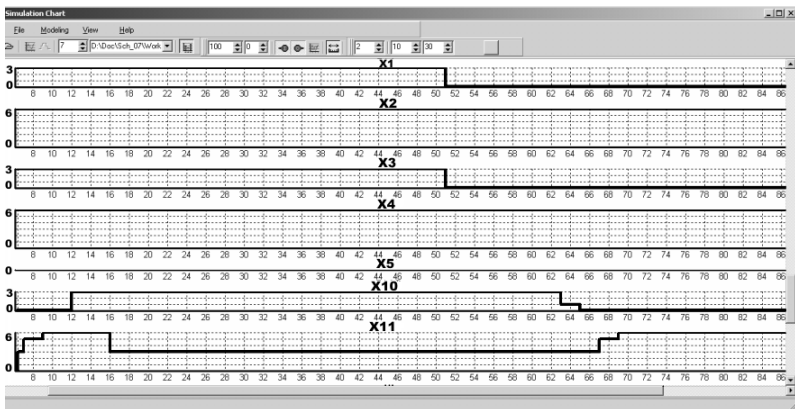


Рис. 6. Временные диаграммы функционирования устройства в базовом режиме

Как видно из рисунка, на выходах x_{10} и x_{11} в течение рабочего интервала времени (с 15 нс по 66 нс) держится уровень логической неопределенности ($K=3$), что определяется логикой функционирования отдельных логических элементов согласно таблицам истинности [6]. Аналогичные результаты получаются при использовании других методов и систем многозначного моделирования.

При активации в системе K -значного моделирования процесса учета мощности переключения входных сигналов, появляется возможность ее учета при моделировании устройства, в частности, на выходах x_6 и x_7 на рабочем интервале времени сигналы достигают устойчивых логических уровней (рис. 7), в отличие от уровня неопределенности, который можно было наблюдать в предыдущем случае (рис. 6).

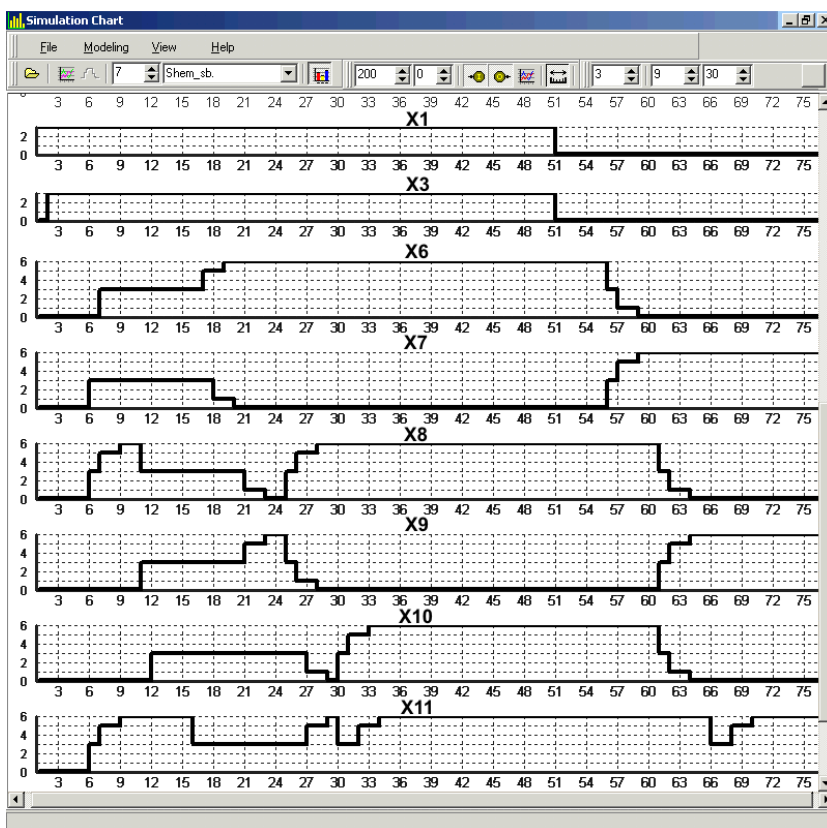


Рис. 7. Временные диаграммы функционирования устройства с учетом мощности переключения входных сигналов

Аналогично, учет мощности переключения входных логических сигналов приводит к отклонению от уровня $K=3$ значений на всех остальных промежуточных цепях проектируемого устройства. Все это обуславливает то, что на выходе x_{10} в интервал времени 27 – 30 нс наблюдается сбойная ситуация в виде "провала" выходного напряжения от уровня неопределенности до уровня логического нуля, а на выходе x_{11} – "провал" логического сигнала на выходе от уровня логической "единицы" до уровня неопределенности.

Полученные результаты говорят о возможности при проектировании устройств и исследовании их работоспособности с помощью системы на основе K -значного дифференциального исчисления получать более точный количественный и качественный анализ сбойных ситуаций проектируемых устройств.

Выводы. Использование системы моделирования на основе K -значного дифференциального исчисления позволяет получить более полные качественные и количественные характеристики сбоев по сравнению с другими существующими системами многозначного моделирования, в которых нет возможности представлять квантованный по амплитуде логический сигнал в K -значном алфавите. Кроме того, ее использование дает возможность учитывать при исследовании таких сбоев реальную крутизну фронтов сигналов синхронизации и данных. Все это открывает перспективу использования системы K -значного моделирования при проектировании сложных вычислительных устройств.

Список литературы: 1. *Соловьев В.В.* Проектирование цифровых схем на основе программируемых логических интегральных схем. – М.: Горячая линия. Телеком. – 2001. – 636 с. 2. *Jutman A.* At-Speed On-Chip Diagnosis of Board-Level Interconnect Faults // Proc. of 9th European Test Symposium (ETS'04). – France. – 2004. – P. 2 – 7. 3. *Chouki Aktouf.* A Complete Strategy for Testing an On-Chip Multiprocessor Architecture // IEEE Design & Test of Computers. – 2002. – P. 18 – 28. 4. *Хаханов В.И.* Техническая диагностика элементов и узлов персональных компьютеров. – К.: ИЗМН, 1997. – 308 с. 5. *Ahmed N., Tehranipour M., Nourani M.* JTAG for Testing Signal Integrity SoCs // International Conference on Design Automation and Test in Europe DATE'03. – 2003. – P. 218 – 223. 6. *Гладких Т.В.* Верификация динамических параметров электронных устройств на основе K -значного моделирования: Дис. канд. техн. наук: 05.13.05 / Национальный технический университет "Харьковский политехнический институт". – Харьков, 2007. – 311 с. 7. *Dmitrienko V.D., Leonov S.Yu., Gladkikh T.V.* System of K -Value simulation for research switching processes in digital devices Proceedings of IEEE East-West Design & Test Workshop (EWDWTW'06). – Sochi, 2006. – P. 428 – 435. 8. *Lin C.J., Reddy S.M.* On delay fault testing in logic circuits // IEEE Transactions on Computer-aided design. – 1987. – № 5. – P. 694 – 704. 9. Логическое моделирование и тестирование цифровых устройств / Скобцов Ю.А., Скобцов В.Ю. – Донецк: ИПММ НАН Украины, ДонНТУ, 2005. – 436 с.

Поступила в редакцию 30.09.2007